

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163207

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H01L 23/12

H01L 21/60

H05K 3/40

(21)Application number : 09-330052

(71)Applicant : HITACHI CHEM CO LTD

(22)Date of filing : 01.12.1997

(72)Inventor : NAKAMURA HIDEHIRO
YAMAZAKI AKIO
ICHIMURA SHIGEKI

(54) MANUFACTURE OF SEMICONDUCTOR CHIP MOUNTING SUBSTRATE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor chip mounting substrate in which wirings laid out for connection terminals and input/output terminals in a mounting region are enhanced in density in a facedown mounting interposer and a semiconductor device formed by the use of the semiconductor chip mounting substrate.

SOLUTION: A metal foil has a three-layered structure which is formed such that a second metal layer which can be selectively etched separating from a first metal layer is formed on the first metal layer, and a third metal layer which is equal to the first metal layer in composition but different from it in thickness is formed on the second metal layer, wherein protrudent electrodes prescribed in size are provided to the first metal layer through etching. The surface of the first metal layer of this member where the protrudent electrodes are provided is made to confront the third metal layer of another three-layered foil, the protrudent electrodes are brought into pressure contact with the surface of the third metal layer of the other three-layered metal foil. The outermost third metal layer of the member is etched so as to be provided with terminals where solder are connectable, thus a semiconductor chip mounting substrate is manufactured.

LEGAL STATUS

[Date of request for examination]

15.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163207

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/60

3 1 1

21/60

3 1 1 S

H 0 5 K 3/40

H 0 5 K 3/40

Z

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平9-330052

(22) 出願日

平成9年(1997)12月1日

(71) 出願人 000004455

日立化成工業株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 中村 英博

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(72) 発明者 山崎 聡夫

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(72) 発明者 市村 茂樹

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(74) 代理人 弁理士 若林 邦彦

(54) 【発明の名称】 半導体チップ搭載用基板の製造法および半導体装置

(57) 【要約】

【課題】 フェースダウン実装用インターポーザにおいて、半導体チップとの接続端子と実装領域内入出力端子の引き回し配線の密度を向上させた半導体チップ搭載用基板の製造法およびその半導体チップ搭載用基板を使用した半導体装置を提供する。

【解決手段】 第1の金属層上にこの金属層と選択エッチング可能な第2の金属層が形成され、さらに第2の金属層上に第1の金属層と同じ組成の金属で厚さが第1の金属層と異なる第3の金属層が形成された3層からなる金属箔において、第1金属層に所定の大きさの突起電極群をエッチングにより形成する。この部材を用いて、この部材の突起群の表面を、別途準備した3層箔の第3金属層と対向せしめ、熱硬化可能な樹脂を介して、突起群の表面を第3金属層表面と加圧接触させる。上記の部材の最外層の第3金属側を少なくとも、はんだボール接続可能端子が形成されるようエッチングすることにより半導体チップ搭載用基板を製造する。

【特許請求の範囲】

【請求項1】 A. 第一の金属層と第二の金属層を備える第一の回路形成材料を準備する工程、

B. 第一の金属層をエッチングして層間接続用の柱状パターンを形成する工程、

C. 前記柱状パターンの形成された面と、第三の金属層を備える第二の回路形成材料とを絶縁材料層を介して加圧し、前記柱状パターンと前記第三の金属層を電氣的に接続させる工程、

D. 前記第二、第三の金属層をエッチングし所定の配線パターンを形成する工程を備える半導体チップ搭載用基板の製造法。

【請求項2】 請求項1記載の方法によって製造される半導体チップ搭載用基板の第二の金属層をエッチングして形成される配線パターンを外部接続用端子とし、第三の金属層をエッチングして形成される配線パターンを半導体接続用端子とし、前記半導体接続用端子に半導体チップ端子を接続させた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、エッチングによる層間接続用の柱状パターンを有する半導体チップ搭載用基板の製造法およびその半導体チップ搭載用基板を使用した半導体装置に関する。

【0002】

【従来の技術】 電子機器の小形化、高速化に伴い、プリント配線板上に半導体チップを高密度に実装する必要性が増大している。このため、QFP (Quad Flat Package) をはじめとするリードパッケージが、プリント配線板に実装される場合が多い。しかし、入出力端子の増大に伴い、半導体チップの周辺に二次元的に入出力端子を設けるピン挿入型のPGA (Pin Grid Array) が開発されている。このPGAでは、表面実装に適しないことから、入出力端子にはんだボールを形成する表面実装型のBGA (Ball Grid Array) が開発されている。さらにパッケージを小型化するため、半導体チップの周辺に、半導体チップとの接続端子を設け、その端子と接続して実装領域内に配線と入出力端子を設けるCSP (Chip Size Package) が開発されている。これらは、チップキャリアパッケージと知られ、半導体チップをセラミックやプラスチック基板あるいはフィルムからなるインターポーザに実装し、封止材でトランスフェモールドする形態をとる。このような、パッケージでセラミック基板をインターポーザとした場合、有機基材からなるプリント配線板への実装は、熱膨張係数の不整合から接続部での信頼性が低下し不利である。また、セラミック基板は誘電率が高く伝搬遅延を減らすには不利である。これに対して、プラスチックの基板あるいはフィルムをインターポーザとした場合が有利であり比較的安価

である。しかし、熱放散性が低い欠点がある。このようなインターポーザでは、半導体チップの接続は金ワイヤのボンディングが主流であり、耐ノイズ性向上、伝搬遅延低減、熱放散性向上が重要になっている。このような、背景から、半導体チップの電極をインターポーザ側の接続端子に対向接続させるフェースダウンとよぶ実装形態が注目されている。これにより、チップ裏面が実装面から離れるため熱放散性が向上する。また、半導体チップの電極とインターポーザ側の接続端子間距離が大幅に短くなり、伝搬遅延低減とインダクタンス低下による耐ノイズ性が向上する。しかし、この実装形態をCSPに適用するには、インターポーザには半導体チップとの接続端子と実装領域内入出力端子を高密度で確実に引き回し配線することが不可欠となっている。実装領域内入出力端子として一般的なものは、はんだボール接続で円形状の電極を所定の間隔で配置する。このため、上記の引き回し配線の領域が著しく減少する問題が生じている。

【0003】

【発明が解決しようとする課題】 本発明は、フェースダウン実装用インターポーザにおいて、半導体チップとの接続端子と実装領域内入出力端子の引き回し配線の密度を向上させた半導体チップ搭載用基板の製造法およびその半導体チップ搭載用基板を使用した半導体装置を提供するものである。

【0004】

【課題を解決するための手段】 本発明の半導体チップ搭載用基板の製造法は、

A. 第一の金属層と第二の金属層を備える第一の回路形成材料を準備する工程、

B. 第一の金属層をエッチングして層間接続用の柱状パターンを形成する工程、

C. 前記柱状パターンの形成された面と、第三の金属層を備える第二の回路形成材料とを絶縁材料層を介して加圧し、前記柱状パターンと前記第三の金属層を電氣的に接続させる工程、

D. 前記第二、第三の金属層をエッチングし所定の配線パターンを形成する工程を備えることを特徴とする。

本発明の半導体装置は、上記記載の方法によって製造される半導体チップ搭載用基板の第二の金属層をエッチングして形成される配線パターンを外部接続用端子とし、第三の金属層をエッチングして形成される配線パターンを半導体接続用端子とし、前記半導体接続用端子に半導体チップ端子を接続させた半導体装置である。

【0005】

【発明の実施の形態】 本発明の半導体チップ搭載用基板の製造法は、

1 a. 第二の金属層と第一の金属層の間に、第一の金属層に対し選択エッチング可能な第一の中間金属層を備える第一の回路形成材料を準備する工程、

1 b. 第一の金属層 をエッチングして層間接続用の柱

状パターンを形成する工程、

1 c. 第三の金属層と第四の金属層を備え、第四の金属層と第三の金属層の間に、第三の金属層に対し選択エッチング可能な第二の中間金属層を備える第二の回路形成材料を準備する工程、

1 d. 前記柱状パターンの形成された面と前記第二の回路形成材料とを絶縁材料層を介して加圧し、前記柱状パターンと前記第四の金属層を接触（電氣的に接続）させる工程、

1 e. 前記第二の金属層と前記第一の中間層をエッチングし所定の配線パターンを形成する工程、

1 f. 前記第三の金属層をエッチングして半導体接続用の柱状パターンを形成する工程、

1 g. 前記第二の中間金属層を選択エッチングする工程、

1 h. 前記第四の金属層をエッチングして所定の配線パターンを形成する工程を備えるものであることができる。

【0006】また本発明の半導体チップ搭載用基板の製造法は、

2 a. 第二の金属層と第一の金属層の間に、第一の金属層に対し選択エッチング可能な第一の中間金属層を備える第一の回路形成材料を準備する工程、

2 b. 第一の金属層をエッチングして層間接続用の柱状パターンを形成する工程、

2 c. 第三の金属層を備える第二の回路形成材料を準備する工程、

2 d. 前記柱状パターンの形成された面と前記第二の回路形成材料とを絶縁材料層を介して加圧し、前記柱状パターンと前記第三の金属層を接触（電氣的に接続）させる工程、

2 e. 前記第二の金属層と前記第一の中間層をエッチングし所定の配線パターンを形成する工程、

2 f. 前記第三の金属層をエッチングして所定の配線パターン（例えば半導体接続用端子）を形成する工程を備えるものであることができる。

【0007】また本発明の半導体チップ搭載用基板の製造法は、

3 a. 第二の金属層と第一の金属層の間に、第一の金属層に対し選択エッチング可能な第一の中間金属層を備える第一の回路形成材料を準備する工程、

3 b. 第一の金属層をエッチングして層間接続用の柱状パターンを形成する工程、

3 c. 前記第一の中間金属層を選択エッチングする工程、

3 d. 第三の金属層と第四の金属層を備え、第四の金属層と第三の金属層の間に、第三の金属層に対し選択エッチング可能な第二の中間金属層を備える第二の回路形成材料を準備する工程、

3 e. 前記柱状パターンの形成された面と前記第二の回

路形成材料とを絶縁材料層を介して加圧し、前記柱状パターンと前記第四の金属層を接触させる工程、

3 f. 前記第二の金属層と前記第一の中間層をエッチングし所定の配線パターンを形成する工程、

3 g. 前記第三の金属層をエッチングして半導体接続用の柱状パターンを形成する工程、

3 h. 前記第二の中間金属層を選択エッチングする工程、

3 i. 前記第四の金属層をエッチングして所定の配線パターンを形成する工程を備えるものであることができる。

【0008】また本発明の半導体チップ搭載用基板の製造法は、

4 a. 第二の金属層と第一の金属層の間に、第一の金属層に対し選択エッチング可能な第一の中間金属層を備える第一の回路形成材料を準備する工程、

4 b. 第一の金属層をエッチングして層間接続用の柱状パターンを形成する工程、

4 c. 前記第一の中間金属層を選択エッチングする工程、

4 d. 第三の金属層を備える第二の回路形成材料を準備する工程、

4 e. 前記柱状パターンの形成された面と前記第二の回路形成材料とを絶縁材料層を介して加圧し、前記柱状パターンと前記第四の金属層を接触（電氣的に接続）させる工程、

4 f. 前記第二の金属層と前記第一の中間層をエッチングし所定の配線パターンを形成する工程、

4 g. 前記第三の金属層をエッチングして所定の配線パターン（例えば半導体接続用端子）を形成する工程を備えるものであることができる。

【0009】本発明の半導体チップ搭載用基板の製造法では、柱状パターンの形成された面と第二の回路形成材料とを絶縁材料層を介して加圧し前記柱状パターンと金属層を接触させる工程の後に、前記柱状パターンと前記金属層間の低電気抵抗化処理を施すことができる。このような低電気抵抗化処理としては、電圧を印加せしめ接触する金属間に金属イオンの移動によるイオンマイグレーション、超音波を印加して接触させる金属間の樹脂残さを減少させ接触確率を上昇させる等の手法が使用できる。また、接触させる金属の少なくとも一方を酸化による粗面化処理し、その酸化粗面を還元する酸化・還元処理を予め行うことにより小さい接続抵抗値を付与することができる。

【0010】本発明の半導体チップ搭載用基板の製造法では、第一の金属層をエッチングして層間接続用の柱状パターンを形成するために、第一の金属層と第二の金属層の間に、第一の金属層に対し選択エッチング可能な第一の中間金属層を備えることができるが（第二の金属層に対し第一の中間金属層は選択エッチング可能であって

も、選択エッチング可能でなくても良い)、第一の金属層と第二の金属層の間に第一の中間金属層を設けなくても、第一の金属層と第二の金属層を選択エッチング可能なものにしても良い。また、第三の金属層と第四の金属層を備え、第四の金属層と第三の金属層の間に、第三の金属層に対し選択エッチング可能な第二の中間金属層を備える第二の回路形成材料においても上記と同様である。さらに、第一の金属層と第二の金属層、および第三の金属層と第四の金属層は単一の金属層であり単一の金属層表面に所定のエッチングレジストパターンを形成し

レジストが形成されていない面をハーフエッチングして、第一の金属層と第二の金属層、および第三の金属層と第四の金属層を形成したものと同様に、層間接続用の柱状パターンおよび所定の配線パターン(例えば半導体接続用端子)を形成するようにすることもできる。
 【0011】本発明では、第1の金属層上に該金属層と選択エッチング可能な第2の金属層が形成され、さらに第2の金属層上に第1の金属層と同じ組成の金属で厚さが第1の金属層と異なる第3の金属層が形成された該3層からなる金属箔(以下3層箔)において、第1金属層に所定の大きさの突起電極群をエッチングにより形成する。この部材を用いて、この部材の突起群の表面を、別途準備した3層箔の第3金属層と対向せしめ、熱硬化可能な樹脂を介して、突起群の表面を該第3金属層表面と加圧接触させる。機械的接続をより確実にするために該突起群を有する第3金属と該突起電極群表面と接触する第3金属層を有する第1金属間に所定の電圧を所定の温度、湿度、気圧の雰囲気下で所定時間印加せしめ、該突起電極群と該第3金属の接触抵抗を低下させ安定にさせる工程を含むことができる。上記の部材の最外層の第3金属側を少なくとも、はんだボール接続可能端子が形成されるようエッチングする。

【0012】図1に、三層箔の第1金属に突起電極群を形成するための工程断面を示す。図1(a)に示す三層箔において図中2で示す第1の中間金属層は第1金属層1と選択エッチング可能であり、また第1金属層1よりイオン化傾向が低い。構造諸元は、第1金属層の厚さが $18 \sim 70 \mu\text{m}$ であり、第1の中間金属層の厚さは、 $1 \sim 5 \mu\text{m}$ である。第2金属層3の厚さは $5 \sim 18 \mu\text{m}$ である。図中には簡略のため示さないが、後工程のフォトリソ工程でマスク位置合わせに必要なガイド穴をこの部材に予め開けておく。この三層箔両面に例えば日立化成製感光性レジストHN640をラミネートし、第1金属層1に、後述の突起電極イメージのエッチングレジスト4を図1(b)に示すように像形成する。このときの電極形状は角状より円状が望ましい。この後、図1(c)に示すように第1金属層を選択エッチングする。次に、エッチングレジスト4を剥離し図1(d)に示す様に高さが均一な突起電極群を有する部材を得る。このように均一な高さの狭ピッチの突起電極が得られる。また、本

部材の第1中間金属層はイオン化傾向が低く、最外層の第2金属のマイグレーションを抑制できる。

【0013】図2は、図1の部材と三層箔を加圧接触させる工程を示す。図2(a)は図1(d)の部材である。図2(b)はこの部材の突起電極群先端と別途準備した三層箔の第3金属側を対向するように、熱硬化性樹脂を介して配置する構成断面を示す。この構成で、真空熱プレスにより、該突起電極群を熱硬化性樹脂に埋設させるとともに、該第3金属層3'と機械的、及び熱的に接触せしめる。これにより、図2(c)に示す部材が得られる。この際、突起電極と3'の面に所定の温度、湿度、気圧の条件下で、電圧を印加せしめ、充分小さい接触抵抗値を付与する。配線層と、はんだ接続用電極を層分離接続でき、配線層の領域を大幅に増加できる。

【0014】図3は、図2の部材を用いて、最外層の第2金属3および第1中間金属層2を順次エッチングし、所定のはんだボール接続用電極およびガイドマークパターンを形成する工程および最外層の第1'、2'、3'金属層を該ガイドマークを第1'金属層側から透視可能になるよう後述の突起電極とこれに接続しはんだボール接続用電極への配線領域を残して、エッチングする工程を示す。図3(a)は図2の部材である。図3(b)はこの部材の両面にレジスト4をラミネートし、3で示す第2金属層側に後述のはんだボール接続用電極およびガイドマークパターンイメージを露光現象で像形成する次に図3(c)で示す様に3および2で示す第2金属層及び第1中間金属層をエッチング後レジストを剥離する。図3(d)で示す様にエッチングレジストを形成し、第3金属層1'、第2中間金属層2'および第4金属層3'をエッチング後レジストを剥離する。このように、配線層とはんだ接続用電極の層分離接続を確実、安定にできる。

【0015】図4は図3の部材を用いて、突起電極を有するインターポーザの製造工程断面を示す。図4(a)は図3の発明による部材を示す。この部材の両面にレジスト4をラミネートし最外層1'で示す第3金属層側に後述の突起電極を形成するためのイメージを露光、現像で像形成する。第3金属層1'をエッチングしてなる突起電極をマスクとして2'で示す第2中間金属層を選択エッチングする。レジスト剥離後、3'で示された第4の金属層を同様のフォトリソ工程で5で示す樹脂層内の少なくとも1つの突起電極と電気的に接合した配線を形成する。図4(c)により得られた構造においては、必ずしも退けるわけではないが1'、2'で示す金属層をすべてエッチング除去し、3'のみをパターンエッチングし、5で示す樹脂層内の少なくとも1つの突起電極と電気的に接合した配線を形成してもよい。但し、この場合は別途突起電極を造る必要がある。これにより得られた基板の突起電極群を含む基板の配線に無電解による、ニッケル/パラジウム/金めっき6を行って、図4

(d) に示すインターポーザを得る。このように、最外層に突起電極を有するか、あるいはなくても、高密度なインターポーザを製造するための部材が得られる。

【0016】図5は図4の部材を用いて、半導体装置を製造する工程を示す断面図である。図5(a)は図4(d)の部材である。図5(b)に示すように異方導電接着剤シート7を介して半導体チップ8を位置合わせし、図5(c)に示すよう加熱・加圧し、図5(d)に示すよう樹脂封止9し、切り出しを行い半導体装置を得ることができる。異方導電接着剤シートはエポキシ樹脂等の樹脂マトリックス中に導電粒子を0.5～15重量%分散させたものが使用される。

【0017】

【発明の効果】本発明の半導体チップ搭載用基板の製造法により、均一な高さの狭ピッチの突起電極が得られる、また配線層とはんだ接続用電極を層分離接続でき、配線層の領域を大幅に増加でき、配線層とはんだ接続用電極の層分離接続を確実、安定に行うことができる。本発明の半導体装置は、チップ搭載用基板が高密度な突起電極を有すものであり、小型であり信頼性に優れるものである。

【図面の簡単な説明】

【図1】本発明の半導体チップ搭載用基板の製造工程を*

* 示す断面図である。

【図2】本発明の半導体チップ搭載用基板の製造工程を示す断面図である。

【図3】本発明の半導体チップ搭載用基板の製造工程を示す断面図である。

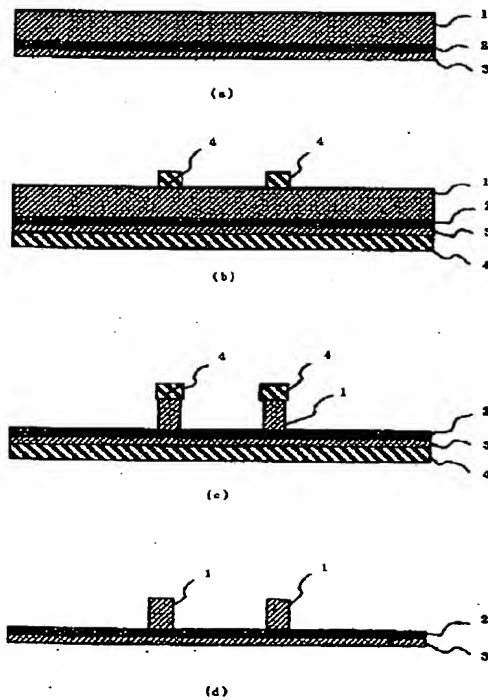
【図4】本発明の半導体チップ搭載用基板の製造工程を示す断面図である。

【図5】本発明の半導体装置の製造工程を示す断面図である。

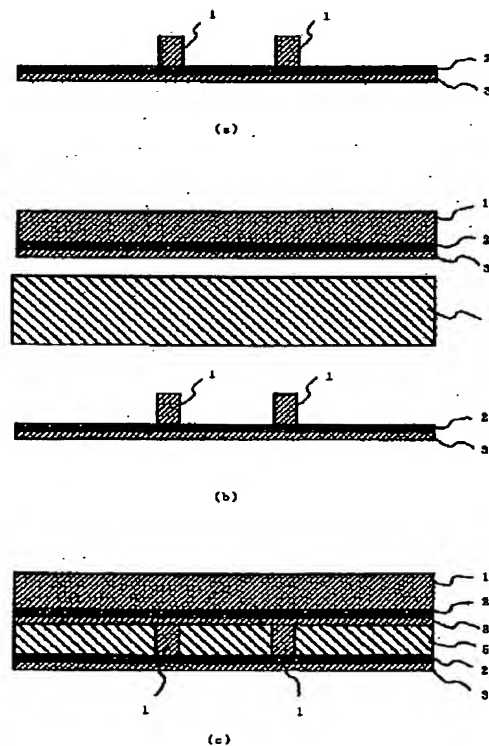
【符号の説明】

- 1 : 第1金属層
- 2 : 第1中間金属層
- 3 : 第2金属層
- 1' : 第3金属層
- 2' : 第2中間金属層
- 3' : 第4金属層
- 4 : レジスト
- 5 : 絶縁材料層
- 6 : ニッケル/パラジウム/金めっき
- 7 : 異方導電接着シート
- 8 : 半導体チップ
- 9 : 樹脂封止

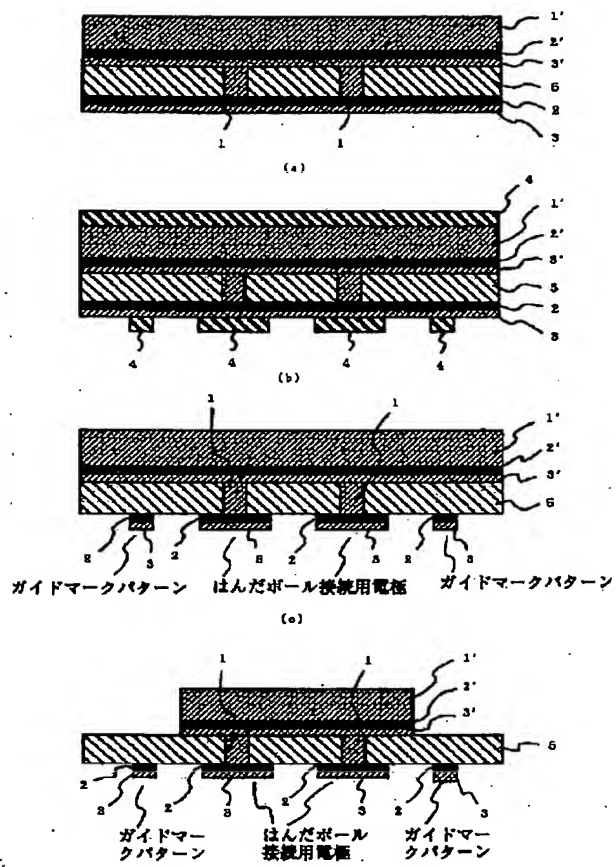
【図1】



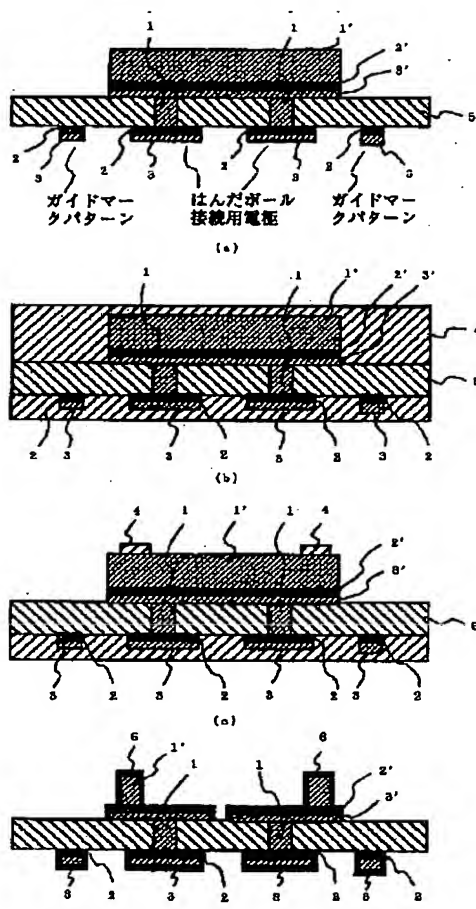
【図2】



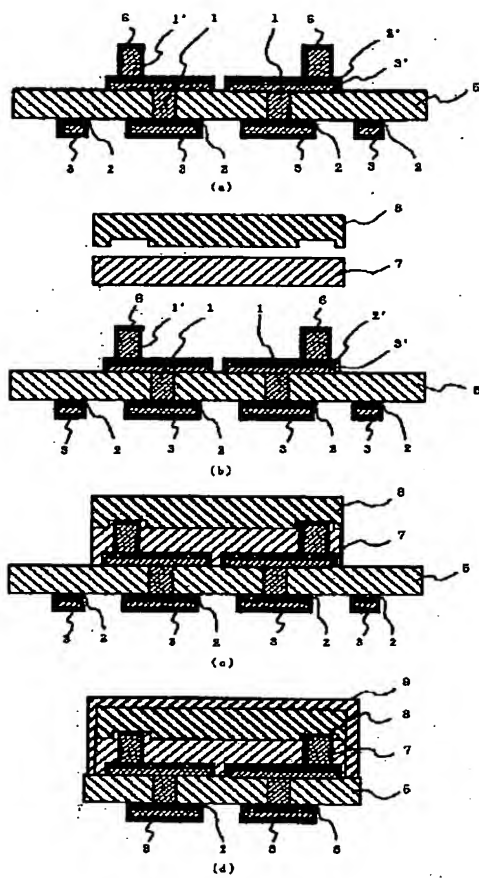
【図3】



【図4】



【図5】



This Page Blank (uspto)